

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049882

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

H04L 27/38
// H04L 7/00

(21)Application number : 10-215724

(71)Applicant : NEC CORP

(22)Date of filing : 30.07.1998

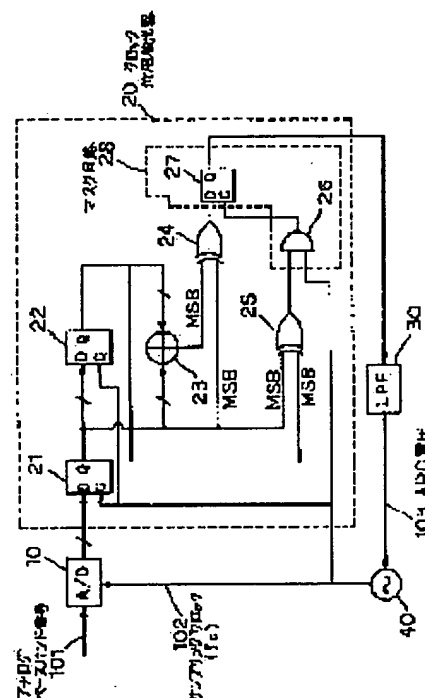
(72)Inventor : SASAKI EISAKU

(54) CLOCK SYNCHRONIZATION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To perform a zero-cross detection system without the need of the double speed operation of an A/D converter.

SOLUTION: Data for successive two symbols for which analog base band signals 101 are sampled by the sampling clock 102 of a modulation speed in an A/D converter 10 are held by shift registers 21 and 22, the data for the two symbols are added by an adder 23, the most significant bit is outputted and thus, the polarity of the data of the intermediate point of a sampling interval in the case of linearly interpolating the values of the two symbols is obtained. Then, by exclusive OR circuits 24 and 25 and a masking circuit 28, the phase information of the sampling clock 102 is extracted from the relation of the polarity of the data of the intermediate point and the polarity of the data of an original sampling point and outputted through an LPF 30 to a VCO 40 as an APC voltage 103.



LEGAL STATUS

[Date of request for examination] 30.07.1998

[Date of sending the examiner's decision of rejection] 18.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-49882

(P 2000-49882A)

(43)公開日 平成12年2月18日(2000.2.18)

(51) Int. Cl. ⁷

H04L 27/38

// H04L 7/00

識別記号

FI

H04L 27/00

7/00

テ-マコード (参考)

G 5K004

F 5K047

審査請求 有 請求項の数6 OL (全11頁)

(21)出願番号 特願平10-215724

(22)出願日 平成10年7月30日(1998.7.30)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 發明者 佐々木 英作

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100070219

弁理士 若林 忠 (外4名)

Fターム(参考) 5K004 AA05 FA05 FG02 FH01 FH08

FJ06

5K047 AA15 EE02 GG08 GG25 MM33

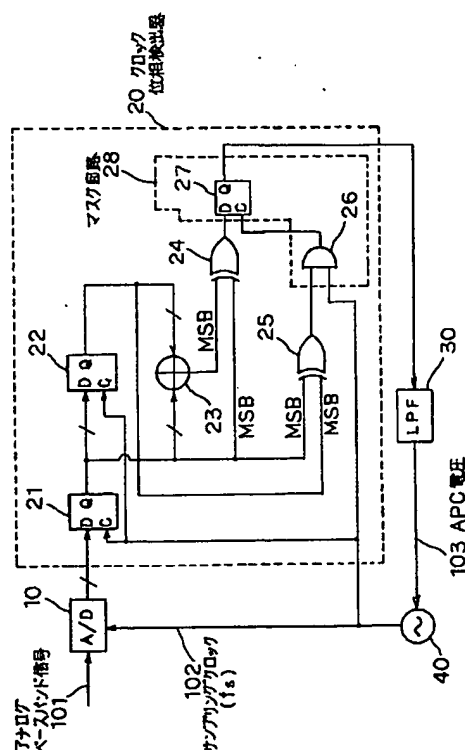
MM45 MM50 MM53 MM60

(54) 【発明の名称】 クロック同期回路

(57) 【要約】

【課題】 A/D変換器の倍速動作を必要とせず、ゼロクロス検出方式を行う。

【解決手段】 A/D変換器10でアナログベースバンド信号101を変調速度のサンプリングクロック102でサンプリングした連続する2シンボル分のデータをシフトレジスタ21、22により保持し、この2シンボル分のデータを加算器23により加算してその最上位ビットを出力することにより2シンボルの値を直線補間した場合のサンプリング間隔の中間点のデータの極性を求める。そして、排他的論理和回路24、25、マスク回路28により、その中間点のデータの極性と元のサンプリング点のデータの極性の関係からサンプリングクロック102の位相情報を抽出しLPF30を介してAPC電圧103としてVCO40に出力する。



【特許請求の範囲】

【請求項1】 アナログベースバンド信号を、シンボル周期と同じ周期のサンプリングクロックでサンプリングしてデジタル信号に変換するA/D変換器と、前記A/D変換器により変換されたデジタル信号のうちの1シンボル分のデータを保持する第1のシフトレジスタと、前記第1のシフトレジスタから出力された1シンボル分のデータを保持する第2のシフトレジスタと、前記第1のシフトレジスタの出力と前記第2のシフトレジスタの出力とを加算し、該演算結果の最上位ビットを出力している加算器と、前記加算器から出力された信号と、前記第1のシフトレジスタの最上位ビットとの排他的論理和を演算し、該演算結果を出力している第1の排他的論理和回路と、前記第1のシフトレジスタの最上位ビットと前記第2のシフトレジスタの最上位ビットの排他的論理和を演算し、該演算結果を出力している第2の排他的論理和回路と、前記第1の排他的論理和回路の出力をデータ入力とし、前記第2の排他的論理和回路の出力の論理に従い前記データ入力を出力するか前の状態を保持するか決定するマスク回路とから構成されるクロック位相検出器と、
前記クロック位相検出器からの出力を入力とし、その雑音成分を抑圧することによりAPC電圧を生成して出力しているループフィルタと、
前記APC電圧によりその発振周波数が制御される前記サンプリングクロックを前記A/D変換器に出力している電圧制御発振器と、
を有するクロック同期回路。

【請求項2】 前記マスク回路が、
前記電圧制御発振器から出力されたサンプリングクロックと前記第2の排他的論理和回路の出力との論理積を演算し、該演算結果を出力している論理積回路と、
前記第1の排他的論理和回路の出力をデータ入力とし、前記論理積回路の出力をクロック入力とし、前記クロック位相情報を出力しているフリップフロップ回路とから構成されている請求項1記載のクロック同期回路。

【請求項3】 前記ループフィルタがラグリードフィルタである請求項1または2記載のクロック同期回路。

【請求項4】 前記ループフィルタがデジタル回路と、D/A変換器とから構成されている請求項1または2記載のクロック同期回路。

【請求項5】 前記A/D変換器と、前記クロック位相検出器との間に無限移相器をさらに有する請求項1から4のいずれか1項記載のクロック同期回路。

【請求項6】 前記無限移相器と、前記クロック位相検出器との間にロールオフフィルタと、間引き回路をさらに有する請求項5記載のクロック同期回路

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、デジタルマイク

ロ波通信方式に用いられる復調器のクロック同期回路に関し、特に多値直交振幅変調方式の復調器のクロック同期回路に関する。

【0002】

【従来の技術】 有線および無線通信システムでは、変調方式として直交振幅変調方式を用いた通信システムが用いられている。そして、近年では、この直交振幅変調方式を用いた通信システムにおける復調装置のデジタル化が進められている。このような復調装置では受信信号から抽出した情報によりクロックが再生され、そのクロックを用いて受信信号をサンプリングしデジタル信号に変換した後に復調の処理が行われている。従って、デジタル化された直交振幅変調方式の復調装置には、送信側のクロックに同期したクロックを再生するためのクロック同期回路が必要となる。

【0003】 このようなクロック同期回路としてはゼロクロス検出方式が一般的であり、例えば特開平9-247229号公報に記載されている。従来のゼロクロス検出方式は、A/D変換器に入力されたアナログベースバンド信号を変調速度の2倍速でサンプリングしたデータを用い、ベースバンド信号がその振幅の中央値である0をよぎる位相からサンプリングクロック位相の誤差情報を抽出し、この誤差情報を用いてPLL (Phase Locked Loop) を構成するものであった。以下に従来のゼロクロス検出方式の動作原理について変調方式がQPSK (Quadrature Phase Shift Keying: 直交PSK) の場合を例として用いて説明する。

【0004】 図7は、従来のゼロクロス検出方式のクロック位相検出回路のブロック図である。ここで、シンボル周期をTsとし、変調周波数をfs (1/Ts) とする。

【0005】 この従来のクロック同期回路は、A/D変換器110と、クロック位相検出器120と、ループフィルタ (以下LPFと略す。) 130と、電圧制御発振器 (以下VCOと略す。) 140とから構成されている。

【0006】 また、クロック位相検出器120は、フリップフロップ回路 (以下F/Fと略す。) 51~53と、分周器60と、条件判定回路70とから構成されている。LPF130は、条件判定回路70の出力を入力とし、その雑音成分を抑圧することによりAPC (Automatic Phase Control) 電圧103を生成して出力している。VCO140は、APC電圧103によって制御され、その周波数が変調周波数fsの2倍であるサンプリングクロック202を生成して出力している。A/D変換器110は、サンプリングクロック202でアナログベースバンド信号101をサンプリングすることにより複数ビットのデジタル信号に変換している。

【0007】分周器60は、周波数 $2f_s$ のサンプリングクロック202を $1/2$ 分周し、周波数 f_s の正相クロックと周波数 f_s の逆相クロックを生成して出力している。F/F51は、A/D変換器110から出力された複数ビットのデジタル信号のうちのMSB (Most Significant Bit: 最上位ビット) をデータ入力とし、分周器60からの正相クロックをクロック入力として動作している。F/F52は、F/F51の出力をデータ入力とし、分周器60からの正相クロックをクロック入力として動作している。F/F53は、A/D変換器110から出力された複数ビットのデジタル信号のうちのMSBをデータ入力とし、分周器60からの逆相クロックをクロック入力として動作している。

【0008】また、条件判定回路70は、図8に示すように、F/F91と、排他的論理和回路92、93と、マスク回路128とから構成されている。マスク回路128は、論理積回路94と、F/F95とから構成されている。

【0009】F/F91は、F/F53からの出力をデータ入力とし、分周器60からの正相クロックをクロック入力として動作している。

【0010】排他的論理和回路92は、F/F91の出力とF/F52の出力との間の排他的論理和演算を行ない、その演算結果を出力している。排他的論理和回路93は、F/F52の出力とF/F51の反転出力との間の排他的論理和演算を行ない、その演算結果を出力している。

【0011】論理積回路94は、排他的論理和回路93の出力と、分周器60からの正相クロックとの間の論理積を演算し、その演算結果を出力している。F/F95は、排他的論理和回路92の出力をデータ入力とし、論理積回路94の出力をクロック入力として動作している。

【0012】次に、この従来のクロック同期回路の動作について説明する。

【0013】周波数 $2f_s$ のサンプリングクロック202は、分周器60で周波数 f_s の正相と逆相の2つのクロックに $1/2$ 分周される。そして、正相クロックで動作するF/F51と逆相クロックで動作するF/F53にはそれぞれ $T_s/2$ 間隔でサンプリングされたデータが入力され、3つのF/F51~53に $T_s/2$ 間隔の3つの連続するサンプリング値が保持される。ここで保持されるデータの時間的な関係は、古い順にF/F52、53、51となっている。

【0014】図9は、A/D変換器110に入力されるアナログベースバンド信号101のアイパターンとサンプリングクロック202の位相との関係を示す図である。ここで、最適サンプリング位相であるアイの開口部を位相0、それよりやや進んだ位相を $+\Delta p$ 、やや遅れ

た位相を $-\Delta p$ とする。

【0015】F/F51、52がアイ開口部のデータに、F/F53がアイ開口部の中間点にそれぞれ対応しているとする。F/F51と52の極性が逆になっている場合に限定すると、A/D変換器110に入力されるアナログベースバンド信号101は、間隔 T_s の途中のどこかの時点で振幅方向の中心値である0をよぎっていることになる。サンプリングクロック202の位相が $+\Delta p$ のとき、F/F51の極性がハイレベル（以下Hと略す。）であるとF/F53の極性もHになり、F/F51の極性がロウレベル（以下Lと略す。）であるとF/F53の極性もLになる。つまり、F/F51と53の極性は一致する。

【0016】サンプリングクロック202の位相が $-\Delta p$ のとき、F/F51の極性がHであるとF/F53の極性はLになり、F/F51の極性がLであるとF/F53の極性はHになる。つまり、F/F51と53の極性は逆になる。位相がLのときは、F/F53のLとHの確率は50%であるため、F/F51と53の極性は50%の確率で一致する。

【0017】以上をまとめると、正相クロックでサンプリングしたF/F51、52の極性が逆のときのF/F51と逆相クロックでサンプリングしたF/F53の極性の一致不一致は、サンプリングクロック202の位相情報となる。そしてこの位相情報によりサンプリングクロック202の位相を制御すれば、分周器60で得られた正相クロックが最適サンプリング位相となるように制御されることになる。

【0018】条件判定回路70は、以上の条件を検出し位相情報を出力するための回路である。ここで、位相情報としてはF/F52とF/F53の極性の関係を使用することもできるが、この場合位相情報の極性が反転する。

【0019】なお復調器の出力である周波数 f_s のデータは、分周器60の出力の正相クロックが常にアイの開口部に対応しているため、A/D変換器110の出力である倍速サンプリングされたデータを周波数 f_s の正相クロックで間引くことにより得られる。

【0020】以上がゼロクロス検出方式の動作原理である。ここでは、QPSKのC/Nが良い状態での動作について説明したが、このクロック同期方式はA/D変換器に入力されるアナログベースバンド信号に雑音成分が含まれている場合でも、多値QAM (Quadrature Amplitued Modulation) の場合でも同様に使用することが可能である。

【0021】しかしながらゼロクロス検出方式では $T_s/2$ 間隔のサンプリング値から位相情報を得るため、従来はA/D変換器を倍速で動作させていた。

【0022】またゼロクロス検出方式ではクロック位相情報源として搬送波同期後のデータを使用するため、搬

10

20

30

40

50

送波同期をデジタル信号処理により行なう準同期検波方式にゼロクロス検出方式を適用する場合、搬送波同期のための無限移相器（以下EPS（Endless Phase Shifter）と略す。）をはじめ、搬送波同期したデータを得られるまでに通過するすべての回路もまた倍速動作が要求される。

【0023】このようにゼロクロス検出方式のクロック同期方式には、高速動作可能な高価なデバイスが要求され、消費電力も大きくなる。そのため、コスト低減や高速の変調速度の装置への適用、消費電力の低減が困難であ

った。

【0024】
【発明が解決しようとする課題】上述した従来のクロック同期回路では、ゼロクロス検出方式を用いた場合にA/D変換器の倍速動作が必要となるとという問題点があった。

【0025】本発明の目的は、A/D変換器の倍速動作を必要とせずにゼロクロス検出方式を行うことができるクロック同期回路を提供することである。

【0026】

【課題を解決するための手段】上記目的を達成するために、本発明のクロック同期回路は、アナログベースバンド信号を、シンボル周期と同じ周期のサンプリングクロックでサンプリングしてデジタル信号に変換するA/D変換器と、前記A/D変換器により変換されたデジタル信号のうちの1シンボル分のデータを保持する第1のシフトレジスタと、前記第1のシフトレジスタから出力された1シンボル分のデータを保持する第2のシフトレジスタと、前記第1のシフトレジスタの出力と前記第2のシフトレジスタの出力とを加算し、該演算結果の最上位ビットを出力している加算器と、前記加算器から出力された信号と、前記第1のシフトレジスタの最上位ビットとの排他的論理和を演算し、該演算結果を出力している第1の排他的論理和回路と、前記第1のシフトレジスタの最上位ビットと前記第2のシフトレジスタの最上位ビットの排他的論理和を演算し、該演算結果を出力している第2の排他的論理和回路と、前記第1の排他的論理和回路の出力をデータ入力とし、前記第2の排他的論理和回路の出力の論理に従い前記データ入力を出力するか前の状態を保持するか決定するマスク回路とから構成されるクロック位相検出器と、前記クロック位相検出器からの出力を入力とし、その雑音成分を抑圧することによりAPC電圧を生成して出力しているループフィルタと、前記APC電圧によりその発振周波数が制御される前記サンプリングクロックを前記A/D変換器に出力している電圧制御発振器とを有している。

【0027】また、本発明の他のクロック同期回路は、前記マスク回路が、前記電圧制御発振器から出力されたサンプリングクロックと前記第2の排他的論理和回路の出力との論理積を演算し、該演算結果を出力している論

理積回路と、前記第1の排他的論理和回路の出力をデータ入力とし、前記論理積回路の出力をクロック入力とし、前記クロック位相情報を出力しているフリップフロップ回路とから構成されている。

【0028】本発明は、A/D変換器でアナログベースバンド信号を変調速度のサンプリングクロックでサンプリングした連続する2シンボル分のデータを第1と第2のシフトレジスタにより保持し、この2シンボル分のデータを加算器により加算してその最上位ビットを出力することにより2シンボルの値を直線補間した場合のサンプリング間隔の中間点のデータの極性を求め、その中間点のデータの極性と元のサンプリング点のデータの極性の関係からサンプリングクロックの位相情報を抽出するようにしたものである。したがって、A/D変換器の倍速動作を必要とせずにゼロクロス検出方式を行うことができる。

【0029】

【発明の実施の形態】次に、本発明の実施形態について図面を参照して詳細に説明する。

【0030】（第1の実施形態）図1はQPSKを用いた復調装置のブロック図、図2は本発明の第1の実施形態のクロック同期回路の構成を示したブロック図である。

【0031】図1の復調器は、アナログ乗算器11、31と、ローパスフィルタ（以下LPFと略す。）12、32と、A/D変換器10、33と、VCO40、54と、移相器50と、制御部56とから構成されている。

【0032】図1の復調器は、直交変調された受信信号を復調するためのものであるため、同相成分（以下I（In-phase）成分と略す。）と直交成分（以下Q（Quadrature：直交）成分と略す。）を生成するための2系統の回路を有している。

【0033】VCO54は、制御部56によってその周波数が制御されるローカルオシレータを生成している。移相器50は、VCO54からのローカルオシレータの位相を $\pi/2$ だけ移相して出力している。

【0034】アナログ乗算器11は、VCO54からのローカルオシレータと受信信号との乗算を行なっている。LPF12は、乗算器11の出力のうちの低域成分のみを通過させ、アナログベースバンド信号101として出力している。

【0035】アナログ乗算器31は、移相器50によって移相されたローカルオシレータと受信信号との間の乗算を行なっている。LPF32は、乗算器31の出力のうちの低域成分のみを通過させ、アナログベースバンド信号として出力している。

【0036】VCO40は、制御部56から出力されるAPC電圧103によって制御され、周波数 f_s のサンプリングクロック102を生成して出力している。

【0037】A/D変換器10は、アナログベースバン

20

30

40

50

ド信号101をサンプリングクロック102によりサンプリングしてQ成分のデジタル信号として出力している。A/D変換器33は、LPF32から出力されたアナログベースバンド信号101をサンプリングクロック102によりサンプリングしてI成分のデジタル信号として出力している。

【0038】制御部56は、A/D変換器10から出力されたQ成分のデジタル信号またはA/D変換器33から出力されたI成分のデジタル信号から位相情報を抽出し、VCO40によって生成されるサンプリングクロック102の周波数の制御を行なっている。また、制御部56は、VCO54によって生成されるローカルオシレータの周波数の制御も行なっているが、本実施形態の動作とは直接関係は無いためその説明は省略する。

【0039】LPF12は、乗算器11の出力のうちの低域成分のみを通過させ、アナログベースバンド信号101として出力している。

【0040】本実施形態のクロック同期回路は、図2に示すように、A/D変換機10と、クロック位相検出器20と、VCO40と、ループフィルタ(LPF)30とから構成されている。ここで、クロック位相検出器20と、LPF30は制御部56の中に設けられているものである。

【0041】また、本実施形態では、Q成分のアナログベースバンド信号101を用いてVCO40の制御を行なっているクロック同期回路について説明するが、LPF32から出力されるI成分のアナログベースバンド信号を用いてVCO40の制御を行うクロック同期回路も同様に構成することができる。

【0042】クロック位相検出器20は、F/F21、22と、加算器23と、排他的論理和回路24、25と、マスク回路28とから構成されている。また、マスク回路28は、論理積回路26と、F/F27とから構成されている。

【0043】F/F21は、周波数 f_s のサンプリングクロック102で動作し、A/D変換器10の複数ビットの出力を1シンボル分遅延させてから出力している。F/F22は、周波数 f_s のサンプリングクロック102で動作し、F/F21の複数ビットの出力を1シンボル分遅延させてから出力している。ここで、F/F21、22は、実際には複数のF/Fが並列に設けられているものであり、シフトレジスタとしての動作を行なっている。

【0044】加算器23は、F/F21の複数ビットの出力とF/F22の複数ビットの出力を加算し、その加算結果のMSBを出力している。排他的論理和回路24は、加算器23の出力とF/F21の出力のMSBとの排他的論理和を演算し、その演算結果を出力している。排他的論理和回路25は、F/F21の出力のMSBと、F/F22の出力のMSBとの排他的論理和を演算

し、その演算結果を出力している。

【0045】論理積回路26は、VCO40から出力されたサンプリングクロック102と排他的論理和回路25の出力の論理積を演算し、その演算結果を出力している。F/F27は、排他的論理和回路24の出力をデータ入力とし、論理積回路26の出力をクロック入力とし、クロック位相情報を出力している。

【0046】LPF30は、F/F27出力を入力としその雑音成分を抑圧することによりAPC電圧103を生成してVCO40に出力している。ここで、LPF30はアナログ回路でもデジタル回路でも構成することができるが、デジタル回路で構成した場合、その出力をD/A変換器でアナログ信号に変換してからVCO40に供給する。

【0047】このLPF30の具体的な構成例を図3を参照して説明する。図3(a)はLPF30をアナログのラグリードフィルタで実現した場合を示して、図3(b)はLPF30をデジタル回路を用いて構成した場合を示している。

【0048】図3(a)のラグリードフィルタは、抵抗61、63と、コンデンサ62とから構成されている。

【0049】図3(b)で用いられたデジタル回路は、デジタル乗算器64、65と、デジタル加算器66、68と、F/F67とから構成されている。

【0050】ここで、図3(b)に示す α 、 β はLPF30の特性を決定するパラメータである。どちらの場合も、その帯域内の雑音成分を抑圧して出力している。サンプリングクロック102を生成しているVCO40はアナログ回路であるため、図3(b)に示したようにLPF30をデジタル回路で構成した場合、デジタル回路の出力をD/A変換するためのD/A変換器69が設けられている。

【0051】次に、本実施形態のクロック同期回路の動作について図面を参照して詳細に説明する。

【0052】F/F21、22には、周波数 f_s のサンプリングクロック102でサンプリングされた T_s 間隔($T_s = 1/f_s$)のデータが2シンボル分保持されている。この2シンボルの値を加算器23で加算し、そのMSBを出力することにより、2シンボルを直線補間したデータの極性が得られる。加算結果そのものは補間値の2倍になっているが、ここで必要なのはその極性だけのため、加算結果を1/2倍する、もしくは加算器23の各入力を1/2倍する必要はない。

【0053】排他的論理和回路25は、クロック位相を検出するための条件判定を行っており、F/F21、22の出力が逆極性になっている波形を選択する。そして、排他的論理和回路24は、加算器23で得られた補間値の極性とF/F21の極性の一致不一致を判定しており、排他的論理和回路24出力がクロック位相情報となる。

【0054】論理積回路26とF/F27はマスク回路28を構成しており、排他的論理和回路25の出力がHの場合のみ排他的論理和回路24の出力をAPC値として出力し、排他的論理和回路25の出力がLの場合はF/F27は前の出力値を保持する。論理積回路26とF/F27は以上の機能を実現するための一例であり、他の回路構成によっても実現可能である。

【0055】従来のクロック同期回路では、A/D変換器で倍速サンプリングすることによりゼロクロス検出方式でクロック同期を確立することができた。本実施形態のクロック同期回路では、A/D変換器10は変調速度と同じ速度のサンプリングしか行っていないにもかかわらず従来のクロック同期回路と同様にクロック同期を確率することが可能である。この理由を変調方式がQPSKの場合を例にとり以下に説明する。

【0056】ゼロクロス検出方式では、Ts間隔の2つのサンプリングデータの極性が異なるという条件が必要であるため、図4(a)の実線で示すような信号遷移だけが位相情報検出の対象となる。この波形を見ると図4

(a)に矢印で示した2つの最適サンプリング位相の外側は曲線であるが、内側はほとんど直線とみなすことができる。従ってfsのクロックで最適サンプリング位相付近をサンプリングしたときには、その2つのサンプリング値を直線補間したデータは倍速クロックにより本来の中間点でサンプリングした値と非常に近い。従って、クロック位相検出器20から出力される位相特性は、図4(b)に示すように、倍速サンプリングされた値を用いた場合とほとんど変わらない位相特性となる。

【0057】図4(a)の波形は模式的なもので実際のアイパターンではこれ以外の遷移も存在するが、それは図4(a)に示した波形の上下に現れるので、平均値で見た場合、図4(a)に示した波形だけで考えても大きな差はない。最適サンプリング位相から離れた位相では2つの位相間の波形は曲線となり、補間値と本来の中間値の差が大きくなるが、その中間値はもはや0から離れているために極性まで誤る確率は低く、同期引き込み過程のクロック位相情報としては使用可能である。同期が確立してしまえばサンプリングが行われる場所は、最適位相付近に限定されるため、サンプリング位相差が大きい場合の位相情報の誤差は問題にならない。

【0058】最適位相でサンプリングが行われた場合、サンプリング値の極性はC/Nが悪い場合でもほぼ確定する。そしてその補間値はほぼ0の付近となるため、マーク率は50%となる。ここでマーク率とは、極性が正となる率である。このときクロック位相検出器20から出力される位相情報は、マーク率が50%であるため、図4(b)に示すように平均値で0となる。

【0059】最適位相よりやや進んだ位相でサンプリングが行われた場合、サンプリング値の極性はC/Nが悪い場合でもほぼ確定する。そしてその補間値も0から離

れ、極性がほぼ確定する。このときクロック位相検出器20から出力される位相情報は、マーク率が50%以下であるため、図4(b)に示すように平均値で負となる。

【0060】最適位相よりやや遅れた位相でサンプリングが行われた場合、サンプリング値の極性はC/Nが悪い場合でもほぼ確定する。そしてその補間値も0から離れ、極性がほぼ確定する。このときクロック位相検出器20から出力される位相情報は、マーク率が50%以上となるため、図4(b)に示すように平均値で正となる。

【0061】上記で説明したように、本実施形態のクロック同期回路のように倍速サンプリングを行わずに変調速度と同じ速度のサンプリングを行なうとともに補間値を用いた場合でも図4(b)に示すような位相対APC値の特性が得られ、このAPC値によりVCO40を制御すればクロック同期を確立することができる。

【0062】(第2の実施形態)次に、本発明の第2の実施形態の復調装置について説明する。

【0063】図5は、本発明の第2の実施形態の復調装置の構成を示したブロック図である。本実施形態の復調装置は、ローカルオシレータが非同期である準同期検波方式の復調装置である。

【0064】本実施形態の復調装置は、図1の第1の実施形態の復調装置に対して、EPS57がA/D変換器10、33と、制御部56との間に設けられたものである。本実施形態では、VCO54は制御部56によって制御されていない。

【0065】本実施形態のように、A/D変換後にEPSで搬送波同期を行なう準同期検波方式の復調装置にゼロクロス検出方式のクロック同期回路を適用する場合でも、クロック同期に必要なデータは変調速度と同じ速度のデータだけで良いため、EPSの動作速度を変調速度にすることができる。従ってCMOSで回路を構成した場合、消費電力を半減させることができ、また同じ速度のデバイスでより高速の変調速度に対応できる。

【0066】(第3の実施形態)次に、本発明の第3の実施形態の復調装置について説明する。図6は、本発明の第3の実施形態の復調装置の構成を示したブロック図である。

【0067】本実施形態の復調装置は、図5の第2の実施形態の復調装置に対して、A/D変換器10、33とEPS57との間に、それぞれロールオフフィルタ(ROF)34、44と、間引き回路(DECIM)35、45とが設けられているものである。

【0068】ロールオフフィルタ34、44をディジタル信号処理回路により構成するために4倍以上のクロックでA/D変換を行なうような本実施形態の復調装置に対しても、ロールオフフィルタ34、44以降のデータを間引き回路35、45によりTs間隔のデータに間引

11

くことにより上記第 1 の実施形態で説明したようなクロック同期回路を適用することができる。

【0069】上記第 1 から第 3 の実施形態では、QPSK 変調方式を用いた場合を用いて説明したが、本発明はこれに限定されるものではなく、多値 QAM 変調方式を用いた場合でも同様に本発明を適用することができるものである。

【0070】

【発明の効果】以上説明したように、本発明は、A/D 変換を倍速で行うことなく、ゼロクロス検出方式のクロック同期回路を構成することができる。そのため、高速で動作する高価な A/D 変換器や EPS を使用する必要がなくなりコストと消費電力を削減することができるという効果を有する。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態の復調装置の構成を示したブロック図である。

【図 2】図 1 の復調装置で用いられているクロック同期回路の構成を示したブロック図である。

【図 3】図 2 中の LPF 30 をアナログ回路で構成した場合の回路図（図 3（a））および、デジタル回路により構成した場合のブロック図（図 3（b））である。

【図 4】最適サンプリング位相を説明するための図（図 4（a））、およびクロック位相検出器 20 から出力される位相特性を示した図（図 4（b））である。

【図 5】本発明の第 2 の実施形態の復調装置の構成を示したブロック図である。

【図 6】本発明の第 3 の実施形態の復調装置の構成を示したブロック図である。

【図 7】従来のクロック同期回路の構成を示したブロック図である。

【図 8】図 7 中の条件判定回路 70 の回路図である。

【図 9】アナログベースバンド信号 101 のアイパターンとサンプリングクロック 202 の位相との関係を示した図である。

【符号の説明】

10 A/D 変換器
11 アナログ乗算器
12 ローパスフィルタ (LPF)
20 クロック位相検出器
21、22 フリップフロップ回路
23 加算器

12

24、25 排他的論理和回路

26 論理積回路

27 フリップフロップ回路

28 マスク回路

30 ループフィルタ (LPF)

31 アナログ乗算器

32 ローパスフィルタ (LPF)

33 A/D 変換器

34 ロールオフフィルタ (ROF)

35 間引き回路 (DECIM)

40 電圧制御発振器

44 ロールオフフィルタ (ROF)

45 間引き回路 (DECIM)

50 移相器

51～53 フリップフロップ回路

54 電圧制御発振器

56 制御部 (CONT)

57 無限移相器 (EPS)

59 電圧制御発振器

60 分周器

61 抵抗

62 コンデンサ

63 抵抗

64、65 デジタル乗算器

66 デジタル加算器

67 フリップフロップ回路

68 デジタル加算器

69 D/A 変換器

70 条件判定回路

91 フリップフロップ回路

92、93 排他的論理和回路

94 論理積回路

95 フリップフロップ回路

101 アナログベースバンド信号

102 サンプリングクロック

103 APC 電圧

110 A/D 変換器

120 クロック位相検出器

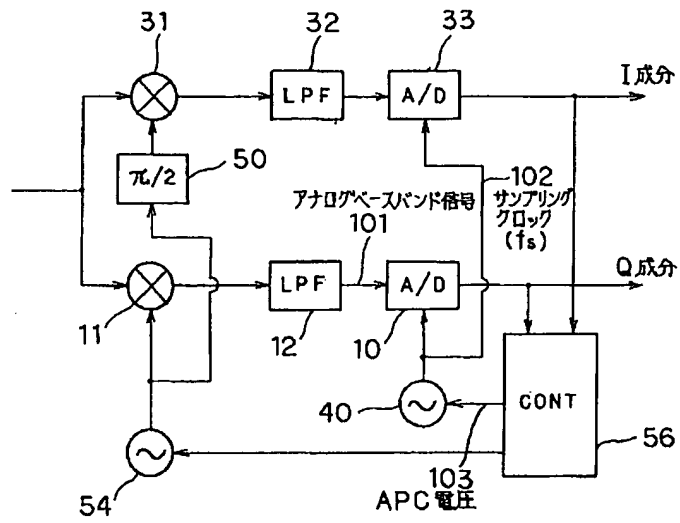
128 マスク回路

40 130 ループフィルタ (LPF)

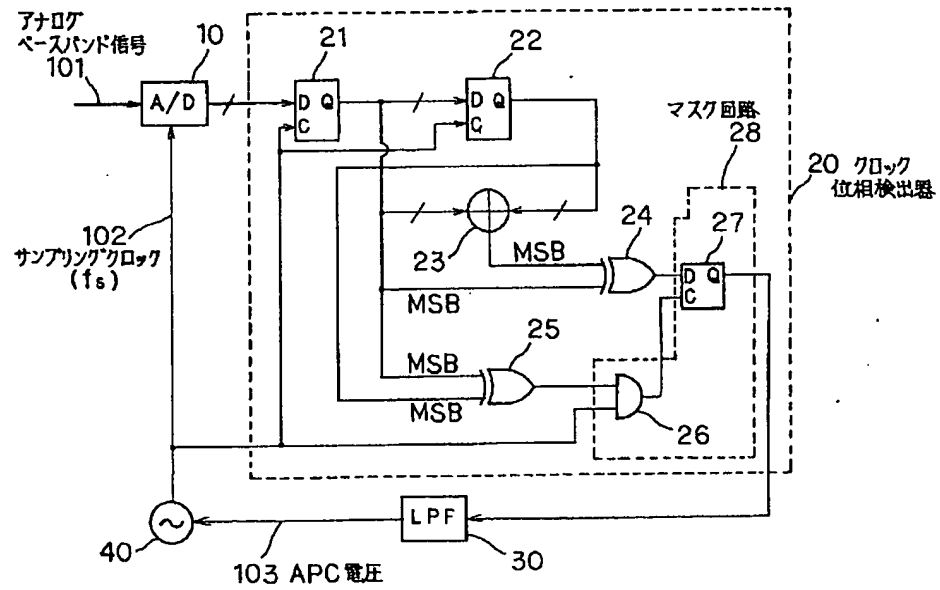
140 電圧制御発振器

202 サンプリングクロック

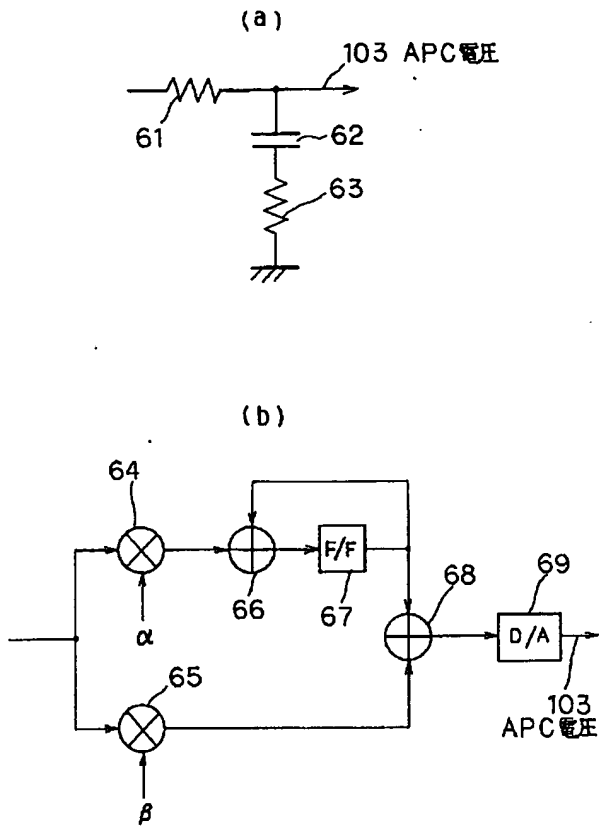
【図 1】



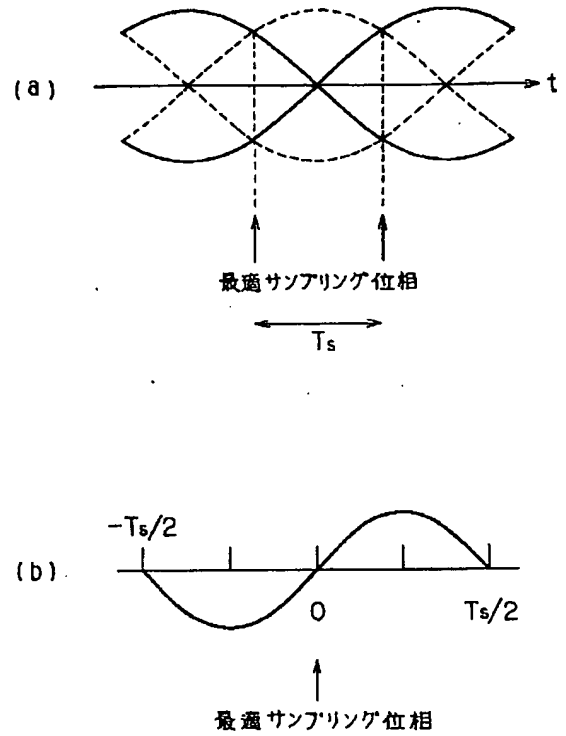
【図 2】



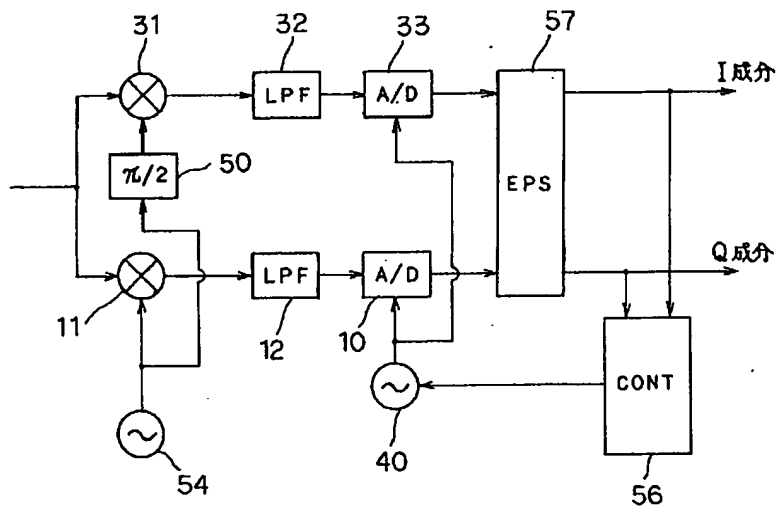
【図3】



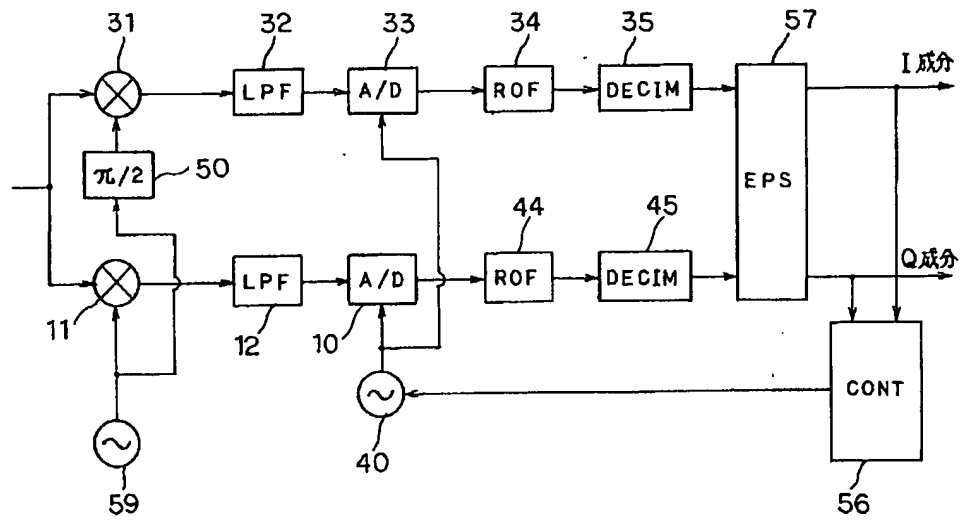
【図4】



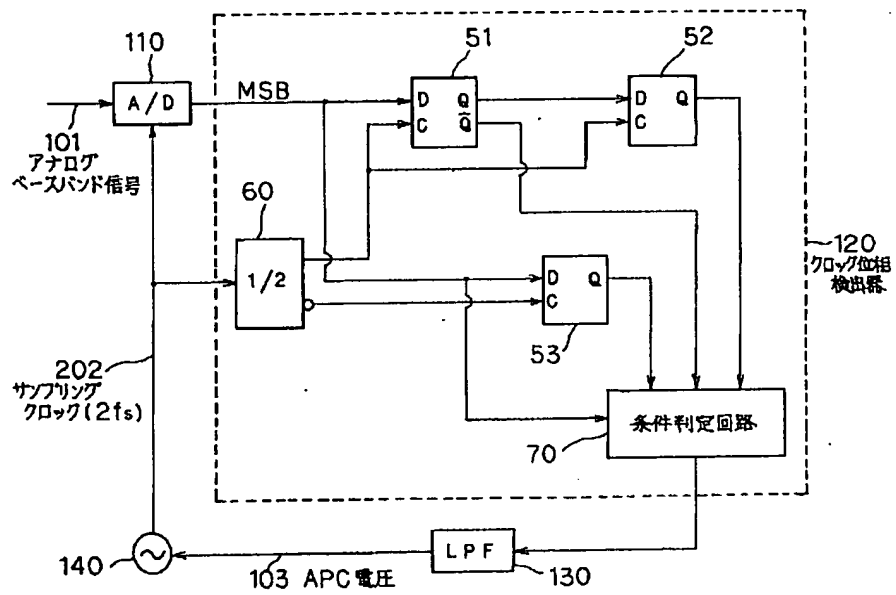
【図5】



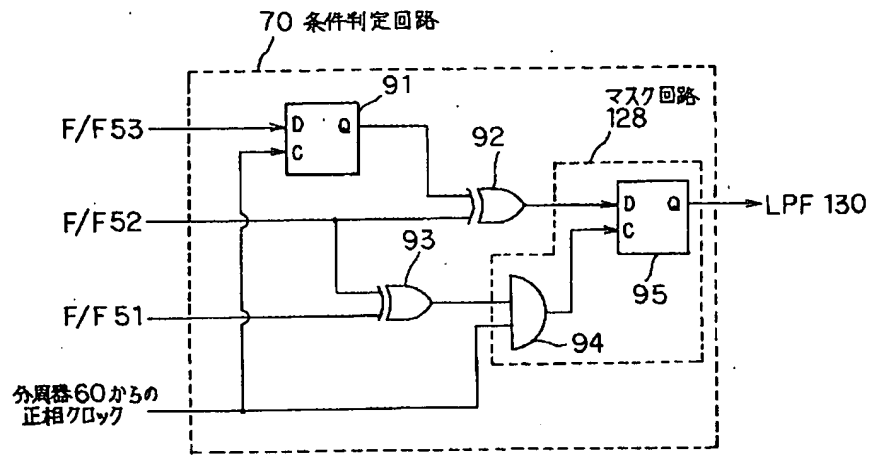
【図6】



【図7】



【図8】



【図9】

